

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-329232

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

G06T 1/60
G11C 11/41
H04N 5/907

(21)Application number : 07-135294

(71)Applicant : NEC HOME ELECTRON LTD

(22)Date of filing : 01.06.1995

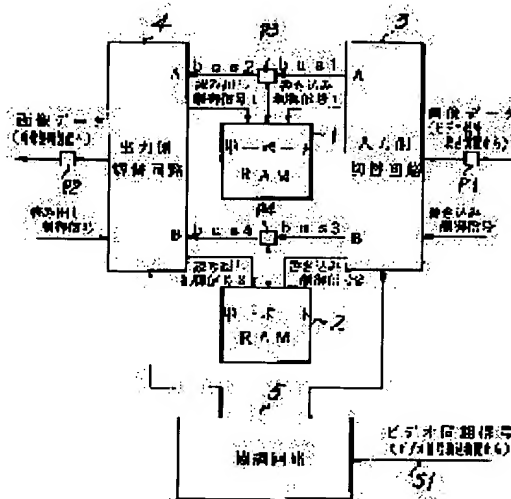
(72)Inventor : YAMADA WATARU

(54) PICTURE DATA STORAGE DEVICE

(57)Abstract:

PURPOSE: To provide a picture data storage device having the same function as adoption of a dual port memory and capable of being produced with a low cost by arranging two single port RAMs in parallel between a picture data input port and a picture data output port.

CONSTITUTION: Output terminals A and B of an input side switching circuit 3 are connected to ports P3 and P4 of two single port RAMs 1 and 2 through busses bus1 and bus3. Input terminals A and B of an output side switching circuit 4 are connected to ports P3 and P4 of two single port RAMs 1 and 2 through busses bus2 and bus4. In this case, single port RAMs 1 and 2 have the same storage capacity corresponding to one frame of the video signal and can be accessed independently of each other by write control signals 1 and 2 and read control signals 1 and 2. Ports P3 and P4 are alternatively connected to a picture data input port P1 or a picture data output port P2 by switching circuits 3 and 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-329232

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 1/60			G 0 6 F 15/64	4 5 0 D
G 1 1 C 11/41			H 0 4 N 5/907	B
H 0 4 N 5/907			G 1 1 C 11/34	K

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平7-135294

(22) 出願日 平成7年(1995)6月1日

(71) 出願人 000001937

日本電気ホームエレクトロニクス株式会社
大阪府大阪市中央区城見一丁目4番24号

(72) 発明者 山田 渡

大阪府大阪市中央区城見一丁目4番24号
日本電気ホームエレクトロニクス株式会社
内

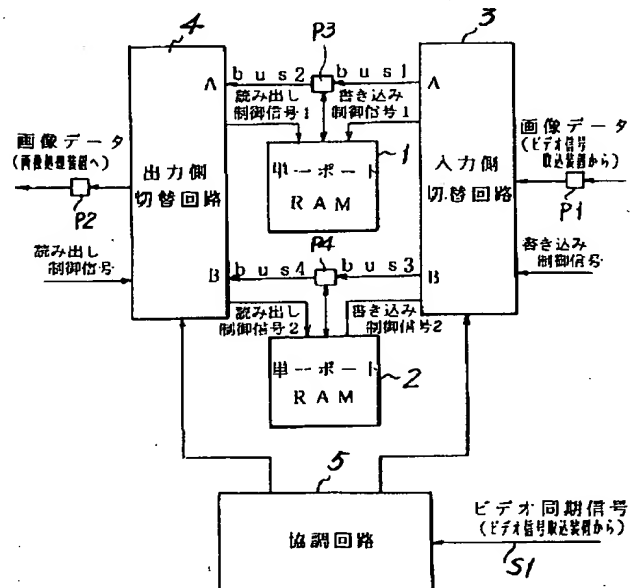
(74) 代理人 弁理士 飯塚 信市

(54) 【発明の名称】 画像データ記憶装置

(57) 【要約】

【目的】 デュアルポートメモリを採用したものと略同等の機能を有し、しかも低コストで製作が可能な画像データ記憶装置を提供する。

【構成】 2個の単一ポートRAM (1, 2) を、画像データ入力ポート (P1) と画像データ出力ポート (P2) へと、互いに競合関係が生じないようにして交互に接続することにより、デュアルポートRAMと同等の機能を実現する。



【特許請求の範囲】

【請求項1】 ビデオ信号取込装置と画像処理装置との間にあって、前記ビデオ信号取込装置で取り込まれたビデオ信号に対応するデジタル画像データを一時的に記憶し、これを必要に応じて前記画像処理装置側へと読み出させる画像データ記憶装置であって、前記ビデオ信号取込装置へと接続されるべき画像データ入力ポートと、前記画像処理装置へと接続されるべき画像データ出力ポートと、前記画像データ入力ポートと前記画像データ出力ポートとの間に並列配置されかつそれぞれ少なくともビデオ信号1フィールド分の記憶容量を有する2個の単一ポートRAMと、前記画像データ入力ポートを前記2個の単一ポートRAMのポートのそれぞれへと択一的に接続可能な入力側切替回路と、前記画像データ出力ポートを前記2個の単一ポートRAMのポートのそれぞれへと択一的に接続可能な出力側切替回路と、前記2個の単一ポートRAMのそれぞれにおいて前記画像データ入力ポートからのデータ書き込み動作と画像データ出力ポートへのデータ読み出し動作とが競合なく交互に行われるように前記入力側切替回路と前記出力側切替回路とを制御する協調回路と、を具備することを特徴とする画像データ記憶装置。

【請求項2】 前記協調回路は、前記ビデオ信号取込装置から送られてくるビデオ同期信号にตอบสนองして前記入力側切替回路と前記出力側切替回路とを制御することを特徴とする請求項1に記載の画像データ記憶装置。

【請求項3】 前記協調回路は、前記2個の単一ポートRAMの状態信号を生成して前記画像処理装置側へと出力することを特徴とする請求項1に記載の画像データ記憶装置。

【請求項4】 前記ビデオ同期信号は、フレーム同期信号であることを特徴とする請求項2若しくは請求項3に記載の画像データ記憶装置。

【請求項5】 前記ビデオ同期信号は、フィールド同期信号であることを特徴とする請求項2若しくは請求項3に記載の画像データ記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、ビデオ信号に基づいて生成された画像データを適宜に画像処理して様々な動画表示を行うのに好適な画像データ記憶装置に関する。

【0002】

【従来の技術】 最近のパーソナルコンピュータ或いはワードプロセッサ等のデジタル機器においては、TV受信された或いはビデオカメラにて撮影されたビデオ信号に基づいて該当する動画を画面上に表示できるものが知ら

れている。そして、このような用途のためには、一般にビデオキャプチャボード等と称される外部サポート装置が使用されている。ビデオキャプチャボードを用いて動画表示を行えば、適当な画像処理ソフトを併用することにより、元の動画に対して拡大、縮小、モザイク化等の種々の処理を容易に施すことができる。

【0003】ところで、このようなビデオキャプチャボードには、ビデオ信号取込装置（高速AD変換器等で構成される）と画像処理装置（パーソナルコンピュータ、ワードプロセッサ等で構成される）との間にあって、前記ビデオ信号取込装置で取り込まれたビデオ信号に対応するデジタル画像データを一時的に記憶し、これを必要に応じて前記画像処理装置側へと読み出させる画像データ記憶装置が内蔵されている。従来、この画像記憶装置としては、ビデオ信号取込装置からの書き込み動作と、画像処理装置からの読み出し動作とを非同期に行える利点から、一般には、所謂デュアルポートメモリが採用されている。

【0004】

【発明が解決しようとする課題】 しかしながら、このようなデュアルポートメモリを採用した従来の画像データ記憶装置にあっては、読み出し動作と書き込み動作とを非同期に行える利点を有する反面、単一のポートのDRAM等に比べて高速素子を必要とすることから高価であると言う問題点があった。

【0005】この発明は、上述の問題点に鑑みてなされたものであり、その目的とするところは、デュアルポートメモリを採用したものと略同等の機能を有し、しかも低コストで製作が可能な画像データ記憶装置を提供することにある。

【0006】

【課題を解決するための手段】 この発明は、ビデオ信号取込装置と画像処理装置との間にあって、前記ビデオ信号取込装置で取り込まれたビデオ信号に対応するデジタル画像データを一時的に記憶し、これを必要に応じて前記画像処理装置側へと読み出させる画像データ記憶装置であって、前記ビデオ信号取込装置へと接続されるべき画像データ入力ポートと、前記画像処理装置へと接続されるべき画像データ出力ポートと、前記画像データ入力ポートと前記画像データ出力ポートとの間に並列配置されかつそれぞれ少なくともビデオ信号1フィールド分の記憶容量を有する2個の単一ポートRAMと、前記画像データ入力ポートを前記2個の単一ポートRAMのポートのそれぞれへと択一的に接続可能な入力側切替回路と、前記画像データ出力ポートを前記2個の単一ポートRAMのポートのそれぞれへと択一的に接続可能な出力側切替回路と、前記2個の単一ポートRAMのそれぞれにおいて前記画像データ入力ポートからのデータ書き込み動作と画像データ出力ポートへのデータ読み出し動作とが競合なく交互に行われるように前記入力側切替回路

と前記出力側切替回路とを制御する協調回路と、を具備することを特徴とするものである。

【0007】本発明によれば、内部的には、前記2個の単一ポートRAMのそれぞれにおいて前記画像データ入力ポートからのデータ書き込み動作と画像データ出力ポートへのデータ読み出し動作とが競合なく交互に行われるものの、外部からの見掛上は、画像データ入力ポートへの書き込み動作と画像データ出力ポートからの読み出し動作を内部回路を意識せずに行うことができ、加えて、2個の単一ポートRAMとしてはDRAM等の安価な素子を採用できるため、デュアルポートメモリを採用したものと略同等の機能を有するものの、低コストで製作が可能な画像データ記憶装置を実現することができる。

【0008】尚、2個の単一ポートRAMの交互切替制御については、内蔵される自励発振器からのタイミング信号にตอบสนองさせる場合と、外部からのタイミング信号にตอบสนองさせる場合とが考えられる。外部からのタイミング信号としては、ビデオ信号取込装置から供給されるフレーム同期信号又はフィールド同期信号を利用することが好ましい。また、その際に、2個の単一ポートRAMの状態信号（書き込み状態／読み出し状態）を画像データ処理装置側へと送出すれば、外部からの読み出し制御が容易となる。

【0009】

【実施例】以下に、本発明の好適な一実施例を添付図面を参照して詳細に説明する。本発明に係る画像記憶装置の一実施例のハードウェア構成図を図1に示す。この画像データ記憶装置は、図示しないビデオ信号取込装置

（高速AD変換器等で構成される）と図示しない画像処理装置（パーソナルコンピュータ、ワードプロセッサ等で構成される）との間にあって、前記ビデオ信号取込装置で取り込まれたビデオ信号に対応するデジタル画像データを一時的に記憶し、これを必要に応じて前記画像処理装置側へと読み出させるものである。

【0010】同図に示されるように、この画像データ記憶装置は、図示しないビデオ信号取込装置へと接続されるべき画像データ入力ポートP1と、図示しない画像処理装置へと接続されるべき画像データ出力ポートP2と、画像データ入力ポートP1と画像データ出力ポートP2との間に並列配置されかつそれぞれ少なくともビデオ信号1フィールド分の記憶容量を有する2個の単一ポートRAM1、2と、画像データ入力ポートP1を前記2個の単一ポートRAM1、2のポートP3、P4のそれぞれへと択一的に接続可能な入力側切替回路3と、画像データ出力ポートP2を前記2個の単一ポートRAM1、2のポートP3、P4のそれぞれへと択一的に接続可能な出力側切替回路4と、前記2個の単一ポートRAM1、2のそれぞれにおいて前記画像データ入力ポートP1からのデータ書き込み動作と画像データ出力ポート

P2へのデータ読み出し動作とが競合なく交互に行われるように前記入力側切替回路3と前記出力側切替回路4とを制御する協調回路5と、から構成されている。

【0011】画像データ入力ポートP1には、図2（d）に示されるように、取り込まれるべきビデオ信号を構成する各フレーム毎の画像データF1、F2、F3、F4…が連続的に供給されている。また、画像データ出力ポートP2からは、図2（i）に示されるように、上述の画像データF1、F2、F3、F4…が1フレーム遅れにて順次に読みだし可能になされている。

【0012】入力側切替回路3は2個の出力端子A、Bを有しており、これらの出力端子A、Bはバスbus1、バスbus3をそれぞれ経由して、2個の単一ポートRAM1、2のポートP3、P4のそれぞれへと接続されている。同様に、出力側切替回路4は2個の入力端子A、Bを有しており、これらの入力端子A、Bはバスbus2、バスbus4をそれぞれ経由して、2個の単一ポートRAM1、2のポートP3、P4のそれぞれへと接続されている。

【0013】2個の単一ポートRAM1、2としては、原理的にはDRAM、SRAMのいずれもが採用可能であるが、本発明の目的であるコスト低減の要請からはDRAMを使用することが好ましい。これらの単一ポートRAM1、2は同一の記憶容量としてビデオ信号1フレーム分の記憶容量を有しており、書き込み制御信号1、2と読み出し制御信号1、2を用いて、互いに独立にアクセス可能になされている。また、これらの単一ポートRAM1、2の各ポートP3、P4は、入力側及び出力側切替回路3、4の作用により、画像データ入力ポートP1又は画像データ出力ポートP2のいずれかへと択一的に接続されるようになっている。

【0014】入力側切替回路3と出力側切替回路4とは、協調回路5の管理の下に交互に切替動作を行うようになされており、特にこの例では、図2（a）～図2（c）に示されるように、ビデオ信号取込装置側より送られてくるフレーム同期信号s1にตอบสนองして切替タイミングを制御されている。

【0015】次に、以上の構成よりなる画像データ記憶装置の動作を図2のタイミングチャートを参照して系統的に説明する。今仮に、画像データ入力ポートP1には、フレーム同期信号（図2a参照）に同期して、相連続するビデオフレームに対応する画像データF1、F2、F3、F4…（図2d参照）が到来しており、また入力側切替回路3と出力側切替回路4とはフレーム同期信号に同期して交互に切替動作を繰り返しているものと想定する（図2b、c参照）。

【0016】このとき、入力側切替回路3が端子A側に、又出力側切替回路4がB側に切替設定された状態では（図2b、c参照）、画像データ入力ポートP1からの画像データ（F1）はバスbus1を経由して単一ポ

ートRAM1に書き込まれ(図2 e参照)、また単一ポートRAM2の画像データ(図では空欄)はバスbus 4を経由して画像データ出力ポートP 2から読み出される(図2 h参照)。

【0017】次いで、入力側切替回路3が端子B側に、又出力側切替回路4がA側に切替設定された状態では(図2 b, c参照)、画像データ入力ポートP 1からの画像データ(F 2)はバスbus 3を経由して単一ポートRAM2に書き込まれ(図2 f参照)、また単一ポートRAM1の画像データ(F 1)はバスbus 2を経由して画像データ出力ポートP 2から読み出される(図2 g参照)。

【0018】次いで、入力側切替回路3が端子A側に、又出力側切替回路4がB側に切替設定された状態では(図2 b, c参照)、画像データ入力ポートP 1からの画像データ(F 3)はバスbus 1を経由して単一ポートRAM1に書き込まれ(図2 e参照)、また単一ポートRAM2の画像データ(F 2)はバスbus 4を経由して画像データ出力ポートP 2から読み出される(図2 h参照)。

【0019】次いで、入力側切替回路3が端子B側に、又出力側切替回路4がA側に切替設定された状態では(図2 b, c参照)、画像データ入力ポートP 1からの画像データ(F 4)はバスbus 3を経由して単一ポートRAM2に書き込まれ(図2 f参照)、また単一ポートRAM1の画像データ(F 3)はバスbus 2を経由して画像データ出力ポートP 2から読み出される(図2 g参照)。

【0020】次いで、入力側切替回路3が端子A側に、又出力側切替回路4がB側に切替設定された状態では(図2 b, c参照)、画像データ入力ポートP 1からの画像データ(F 5)はバスbus 1を経由して単一ポートRAM1に書き込まれ(図2 e参照)、また単一ポートRAM2の画像データ(F 4)はバスbus 4を経由して画像データ出力ポートP 2から読み出される(図2 h参照)。

【0021】以上の動作が繰り返される結果、画像データ入力ポートP 1から入力される画像データ(図2 d参照)は、画像データ出力ポートP 2から1フレーム遅れで順次に読み出されることとなり(図2 i参照)、その際、読み出しタイミングや読み出しアドレスを画像処理

装置側にて適宜に制御することにより、動画の拡大、縮小、モザイク化等の適宜な加工処理を行い得ることは周知の通りである。

【0022】このように、本実施例装置によれば、比較的安価なDRAMの如き2個の単一ポートRAM1, 2を採用しつつも、これらのRAM1, 2は入力側切替回路3と出力側切替回路4を介して画像データ入力ポートP 1と画像データ出力ポートP 2へと自動的に交互接続されるため、画像処理装置側では恰もそれらのRAM1, 2が同一のアドレス空間に配置されているものと見做して順次に画像データの読み出しを行うことができ、何等の切替処理を意識させることなく、デュアルポートRAMと同等の機能を実現することができる訳である。

【0023】尚、以上の実施例では、単一ポートRAM1, 2の記憶容量をビデオ信号の1フレーム分の画像データに対応させたが、あくまでもこれは一例に過ぎないものであり、1フィールド分としたり、或いは2フレーム以上とするなどの適宜な変形が可能であることは勿論である。

【0024】

【発明の効果】以上の実施例で明らかなように、この発明によれば、デュアルポートメモリを採用したものと略同等の機能を有し、しかも低コストで製作が可能な画像データ記憶装置を実現することができる。

【図面の簡単な説明】

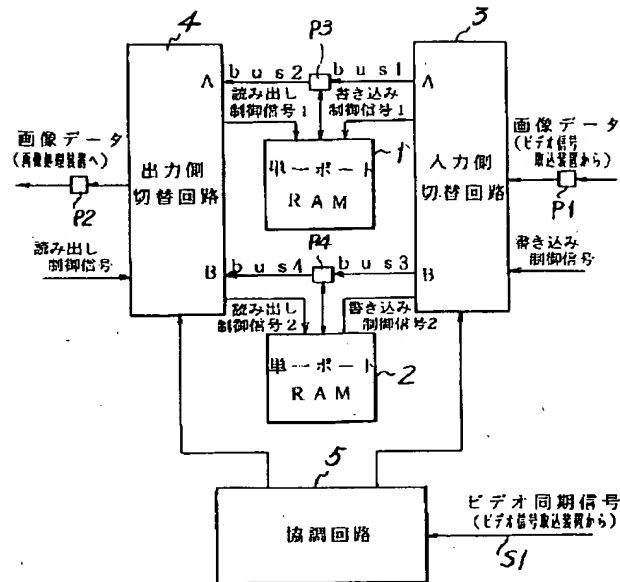
【図1】本発明の一実施例のハードウェアを示す構成図。

【図2】本発明の一実施例のタイミングチャート。

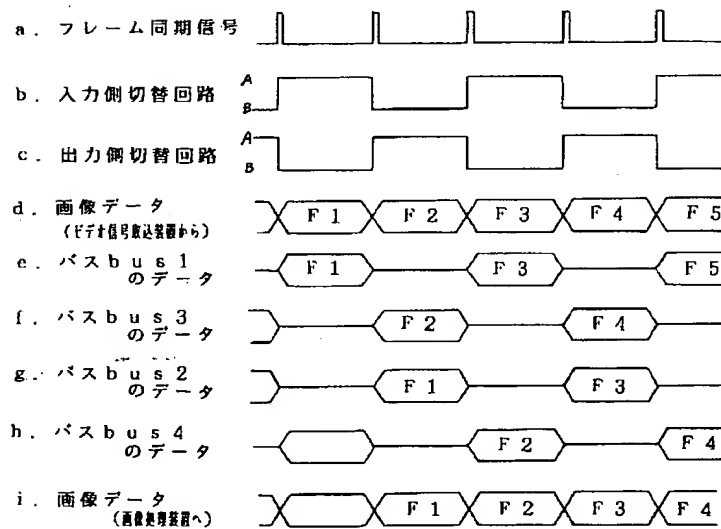
【符号の説明】

1	単一ポートRAM
2	単一ポートRAM
3	入力側切替回路
4	出力側切替回路
5	協調回路
P 1	画像データ入力ポート
P 2	画像データ出力ポート
P 3	単一ポートRAMのポート
P 4	単一ポートRAMのポート
S 1	フレーム同期信号
S 2	メモリ状態信号

【図1】



【図2】



Japanese Patent Publication Laid-Open No. 08-329232

[Claim(s)]

[Claim 1] Image data storage which it does [storage], and the digital image data corresponding to the video signal of the video signal taking-in equipment and the image processing system which are characterized by providing the following incorporated with the aforementioned video signal taking-in equipment are memorized [storage] temporarily, and makes this read to the aforementioned image processing system side if needed Image data input port which should be connected to the aforementioned video signal taking-in equipment The image data output port which should be connected to the aforementioned image processing system Two single-port RAM which a parallel arrangement is carried out between the aforementioned image data input port and the aforementioned image data output port, and has the storage capacity for the video signal 1 field at least, respectively Alternatively the aforementioned image data input port to each of the port of the two aforementioned single-port RAM A connectable input-side electronic switch, Alternatively the aforementioned image data output port to each of the port of the two aforementioned single-port RAM A connectable output side electronic switch, The cooperation circuit which controls the aforementioned input-side electronic switch and the aforementioned output side electronic switch so that data write-in operation from the aforementioned image data input port and data read-out operation to an image data output port are performed by turns without competition in each of the two aforementioned single-port RAM

[Claim 2] The aforementioned cooperation circuit is image data storage according to claim 1 characterized by answering the video synchronizing signal sent from the aforementioned video signal taking-in equipment, and controlling the aforementioned input-side electronic switch and the aforementioned output side electronic switch.

[Claim 3] The aforementioned cooperation circuit is image data storage according to claim 1 characterized by generating the state signal of the two aforementioned single-port RAM, and outputting to the aforementioned image processing system side.

[Claim 4] The aforementioned video synchronizing signal is the claim 2 characterized by being a frame synchronization signal, or image data storage according to claim 3.

[Claim 5] The aforementioned video synchronizing signal is the claim 2 characterized by being a field synchronizing signal, or image data storage according to claim 3.

[Detailed Description of the Invention]

[0001]

[Industrial Application] It is related with suitable image data storage for this invention to carry out the image processing of the image data generated based on the video signal suitably, and perform various animation display.

[0002]

[Description of the Prior Art] In digital instruments, such as the latest personal computer or a word processor, or TV reception was carried out, what can display on a screen the animation which corresponds based on the video signal photoed with the video camera is known. And for such a use, the external support equipment generally called a video capture board etc. is used. If the animation is displayed using a video capture board, various processings of expansion, reduction, mosaic-izing, etc. can be easily performed to the original animation by using suitable image-processing software together.

[0003] By the way, it does, the digital image data corresponding to the video signal of video signal taking-in equipment (it consists of high-speed A-D converters etc.) and an image processing system (it consists of a personal computer, a word processor, etc.) incorporated with the aforementioned video signal taking-in equipment are temporarily memorized on such a video capture board, and the image data storage which makes this read to the aforementioned image processing system side if needed is built in it. Conventionally, generally as this picture storage, the so-called dual port memory is adopted from the advantage which can perform asynchronously write-in operation from video signal taking-in equipment, and read-out operation from an image processing system.

[0004]

[Problem(s) to be Solved by the Invention] However, if it was in the conventional image data storage which adopted such dual port memory, while it had the advantage which can perform read-out operation and write-in operation asynchronously, there was a trouble referred to as expensive from needing a high-speed element compared with DRAM of a single port etc.

[0005] The place which this invention is made in view of an above-mentioned trouble, and is made into the purpose has the function of what adopted dual port memory, and an abbreviation EQC, and is to offer the image data storage which can be manufactured by the low cost moreover.

[0006]

[Means for Solving the Problem] Do and this invention memorizes temporarily the digital image data corresponding to the video signal of video signal taking-in equipment and an image processing system incorporated with the aforementioned video signal taking-in equipment. The image data input port which is the image data storage which makes this read to the aforementioned image processing system side if needed, and should be

connected to the aforementioned video signal taking-in equipment, Two single-port RAM which a parallel arrangement is carried out between the image data output port which should be connected to the aforementioned image processing system, and the aforementioned image data input port and the aforementioned image data output port, and has the storage capacity for the video signal 1 field at least, respectively, Alternatively the aforementioned image data input port to each of the port of the two aforementioned single-port RAM A connectable input-side electronic switch, Alternatively the aforementioned image data output port to each of the port of the two aforementioned single-port RAM A connectable output side electronic switch, The cooperation circuit which controls the aforementioned input-side electronic switch and the aforementioned output side electronic switch so that data write-in operation from the aforementioned image data input port and data read-out operation to an image data output port are performed by turns without competition in each of the two aforementioned single-port RAM, It is characterized by ***** (ing).

[0007] According to this invention, internally, although data write-in operation from the aforementioned image data input port and data read-out operation to an image data output port are performed by turns without competition in each of the two aforementioned single-port RAM It can carry out without being [write-in operation to image data input port, and read-out operation from an image data output port] conscious of an internal circuitry seemingly from the exterior. In addition, since an element with DRAM cheap as two single-port RAM etc. is employable, although it has the function of what adopted dual port memory, and an abbreviation EQC, the image data storage which can be manufactured is realizable by the low cost.

[0008] In addition, about mutual change control of two single-port RAM, the case where a timing signal is made to answer from the self-excited oscillator built in, and the case where a timing signal is made to answer from the outside can be considered. It is desirable to use the frame synchronization signal or field synchronizing signal supplied from video signal taking-in equipment as a timing signal from the outside. Moreover, if the state signal (a write-in state / read-out state) of two single-port RAM is sent out to a image-data-processing equipment side in that case, the read-out control from the outside will become easy.

[0009]

[Example] Below, one suitable example of this invention is explained in detail with reference to an accompanying drawing. The hardware block diagram of one example of the picture storage concerning this invention is shown in drawing 1 . It does, and this image data storage memorizes temporarily the digital image data corresponding to the video signal of the video signal taking-in equipment (it consists of high-speed A-D converters etc.) which is not illustrated and the image processing system (it consists of a personal computer, a word

processor, etc.) which is not illustrated incorporated with the aforementioned video signal taking-in equipment, and makes this read to the aforementioned image processing system side if needed.

[0010] As shown in this drawing, this image data storage The image data input port P1 which should be connected to the video signal taking-in equipment which is not illustrated, The image data output port P2 which should be connected to the image processing system which is not illustrated, Two single-port RAM 1 and 2 which a parallel arrangement is carried out between image data input port P1 and the image data output port P2, and has the storage capacity for the video signal 1 field at least, respectively, Alternatively image data input port P1 to each of the ports P3 and P4 of two aforementioned single-port RAM 1 and 2 The connectable input-side electronic switch 3, Alternatively the image data output port P2 to each of the ports P3 and P4 of two aforementioned single-port RAM 1 and 2 The connectable output side electronic switch 4, So that data write-in operation from the aforementioned image data input port P1 and data read-out operation to the image data output port P2 may be performed by turns without competition in each of two aforementioned single-port RAM 1 and 2 Shell composition is carried out with the cooperation circuit 5 which controls the aforementioned input-side electronic switch 3 and the aforementioned output side electronic switch 4.

[0011] As shown in drawing 2 (d), the image data F1, F2, and F3 for every frame which constitutes the video signal which should be incorporated, and F4 -- are continuously supplied to image data input port P1. Moreover, from the image data output port P2, as shown in drawing 2 (i), the above-mentioned image data F1, F2, and F3 and F4 -- are made possible by the readout one by one in one-frame delay.

[0012] The input-side electronic switch 3 has two output terminals A and B, and these output terminals A and B are connected to each of the ports P3 and P4 of two single-port RAM 1 and 2 respectively via the bus bus1 and the bus bus3. Similarly, the output side electronic switch 4 has two input terminals A and B, and these input terminals A and B are connected to each of the ports P3 and P4 of two single-port RAM 1 and 2 respectively via the bus bus2 and the bus bus4.

[0013] as two single-port RAM 1 and 2 -- theoretic -- both DRAM and SRAM -- although -- although it is employable, it is desirable to use DRAM from the request of the cost reduction which is the purpose of this invention Such single-port RAM 1 and 2 has the storage capacity for one video signal as the same storage capacity, is read with the write-in control signals 1 and 2, and is made accessible mutually independently using control signals 1 and 2. Moreover, each ports P3 and P4 of such single-port RAM 1 and 2 are alternatively connected to either image data input port P1 or the image data output port P2 by operation

of an input side and the output side electronic switches 3 and 4.

[0014] The input-side electronic switch 3 and the output side electronic switch 4 are made as [perform / change operation / by turns / to the bottom of management of the cooperation circuit 5], answer the frame synchronization signal s1 sent from a video signal taking-in equipment side, and are having change timing controlled so that it is especially shown to drawing 2 (a) - drawing 2 (c) by this example.

[0015] Next, operation of the image data storage which consists of the above composition is systematically explained with reference to the timing chart of drawing 2 . Now, temporarily, synchronizing with a frame synchronization signal (refer to drawing 2 a), at image data input port P1, the image data F1, F2, and F3 corresponding to the video frame which carries out phase continuation, and F4 -- (refer to drawing 2 d) have arrived, and the input-side electronic switch 3 and the output side electronic switch 4 assume that change operation is repeated by turns synchronizing with a frame synchronization signal to it (refer to drawing 2 b and c).

[0016] Where the input-side electronic switch 3 was carried out at Terminal A side and a change setup of the output side electronic switch 4 is carried out again at the B side, at this time (Refer to drawing 2 b and c), The image data (F1) from image data input port P1 is written in single-port RAM1 via a bus bus1 (refer to drawing 2 e). Moreover, the image data (drawing blank) of single-port RAM2 is read from the image data output port P2 via a bus bus4 (refer to drawing 2 h).

[0017] Where the input-side electronic switch 3 was carried out at Terminal B side and a change setup of the output side electronic switch 4 is carried out again at the A side, subsequently, (refer to drawing 2 b and c), The image data (F2) from image data input port P1 is written in single-port RAM2 via a bus bus3 (refer to drawing 2 f), and the image data (F1) of single-port RAM1 is read from the image data output port P2 via a bus bus2 (refer to drawing 2 g).

[0018] Where the input-side electronic switch 3 was carried out at Terminal A side and a change setup of the output side electronic switch 4 is carried out again at the B side, subsequently, (refer to drawing 2 b and c), The image data (F3) from image data input port P1 is written in single-port RAM1 via a bus bus1 (refer to drawing 2 e), and the image data (F2) of single-port RAM2 is read from the image data output port P2 via a bus bus4 (refer to drawing 2 h).

[0019] Where the input-side electronic switch 3 was carried out at Terminal B side and a change setup of the output side electronic switch 4 is carried out again at the A side, subsequently, (refer to drawing 2 b and c), The image data (F4) from image data input port P1 is written in single-port RAM2 via a bus bus3 (refer to drawing 2 f), and the image data

(F3) of single-port RAM1 is read from the image data output port P2 via a bus bus2 (refer to drawing 2 g).

[0020] Where the input-side electronic switch 3 was carried out at Terminal A side and a change setup of the output side electronic switch 4 is carried out again at the B side, subsequently, (refer to drawing 2 b and c), The image data (F5) from image data input port P1 is written in single-port RAM1 via a bus bus1 (refer to drawing 2 e), and the image data (F4) of single-port RAM2 is read from the image data output port P2 via a bus bus4 (refer to drawing 2 h).

[0021] As a result of repeating the above operation, the image data (refer to drawing 2 d) inputted from image data input port P1 By one frame being late for the image data output port P2, coming out of it, being read one by one (referring to drawing 2 i), and controlling read-out timing and the read-out address by the image processing system side suitably in that case It is well known that proper processing processing of expansion of an animation, reduction, mosaic-izing, etc. can be performed.

[0022] Thus, although two single-port RAM 1 and 2 like DRAM cheap in comparison is adopted according to this example equipment Since mutual connection of such RAM 1 and 2 is automatically made to image data input port P1 and the image data output port P2 through the input-side electronic switch 3 and the output side electronic switch 4, In an image processing system side, a function equivalent to a dual port RAM can be realized, without the basis by which those RAM 1 and 2 is arranged at the same address space also being able to regard **, being able to read image data one by one, and making it conscious of any change processing.

[0023] In addition, although the storage capacity of single-port RAM 1 and 2 was made to correspond to the image data for one frame of a video signal in the above example, this is only an example to the last, and, of course, proper deformation of considering as a part for the 1 field, or considering as two or more frames etc. is possible.

[0024]

[Effect of the Invention] It has the function of what adopted dual port memory according to this invention so that clearly, and an abbreviation EQC in the above example, and, moreover, image data storage which can be manufactured can be realized by the low cost.

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the hardware of one example of this invention.

[Drawing 2] The timing chart of one example of this invention.

[Description of Notations]

1 Single-Port RAM

2 Single-Port RAM

3 Input-Side Electronic Switch

4 Output Side Electronic Switch

5 Cooperation Circuit

P1 Image data input port

P2 Image data output port

P3 Port of single-port RAM

P4 Port of single-port RAM

S1 Frame synchronization signal

S2 Memory state signal